

文章编号 1004-924X(2009)09-2241-06

超高速 FFT 处理器的设计与实现

范 进^{1,2}, 金声震¹, 孙才红¹

(1. 中国科学院 国家天文台, 北京 100012; 2. 中国科学院 研究生院, 北京 100039)

摘要: 高速傅里叶变换(FFT)处理器的设计是实时信号处理系统的核心问题。本文基于现场可编程门阵列 FPGA(Field Programmable Gate Array), 采用并行处理和单路延迟反馈 SDF(Single-path Delay Feedback)流水线技术相结合的方法, 设计了高速 FFT 处理器。该处理器内存资源消耗较并行结构有所减少, 运算速度较单独的 SDF 流水线结构有所提高。建立了处理器的算法和设计模型, 并根据模型对处理器各组成模块进行了优化设计, 在保证处理器速度的同时, 减小了资源消耗, 其工作频率可以达到 150 MHz, 数据率超过 600 Msps, 软件仿真结果和实验室硬件平台测试验证了设计的可行性。

关 键 词: 快速傅立叶变换; 流水线结构; 并行处理; 现场可编程门阵列

中图分类号: TP332 **文献标识码:** A

Design and implementation of hyper-speed FFT processor

FAN Jin^{1,2}, JIN Sheng-zhen¹, SUN Cai-hong¹

(1. *National Astronomical Observatories, Chinese Academy of Science, Beijing 100012, China;*

2. *Graduate University of Chinese Academy of Sciences, Beijing 100039, China*)

Abstract: Design of a high-speed Fast Fourier Transform(FFT) processor is one of key points in a real time signal processing system. In this paper, a high speed and a hybrid architecture FFT processor combining a parallel processing with a Single-Path Delay Feedback(SDF) pipeline is designed based on Field Programmable Gate Array(FPGA) chip. Compared with the full parallel architecture, the memory cost of the designed processor decreases, thus the speed is higher than that of the SDF pipeline architecture. An algorithm and a design model for the processor are established and the three modules in the processor are optimized to decrease the resource cost greatly, thus the speed is higher than that of generous pipeline architectures. a verification is carried out with the FPGA simulations and hardware circuits' platform in a lab, the results show that the operating frequency reaches 150 MHz and the data flow exceeds 600 Msps.

Key words: Fast Fourier Transform(FFT); pipeline architecture; parallel processing; Field programmable Gate Array(FPGA)

1 引 言

FFT 的应用非常广泛,比如在信号的频谱分析、信号的滤波、快速卷积等方面。在精密光学检测、高速光电跟踪系统和红外目标监视系统中,数字频谱分析是信号检测的必要手段。为了对这些信号进行有效的检测,不仅需要高速的模数转换器件,同时还需要超高速的 FFT 处理器进行在线实时分析。

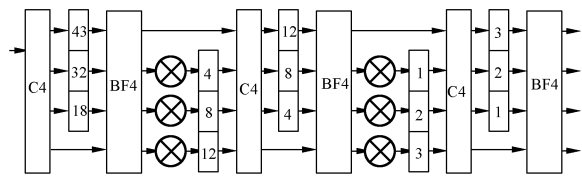
实时系统中,FFT 运算时间影响整个系统的性能,传统的实现方法速度很慢,难以满足信号处理的实时性要求。而随着微电子技术的发展,现场可编程门阵列 FPGA (Field Programmable Gate Array)正处于革命性数字信号处理的前沿。FPGA 正在越来越多地替代专用集成电路 ASIC (Application Specific Integrated Circuit)和可编程数字信号处理器 PDSP(Programmable Digital Signal Processor)进行数字信号处理的运算。FPGA 内部的大量运算及存储单元使其非常适合于 FFT 尤其是定点 FFT 的实现。近年来已经有一些采用 FPGA 实现超长点数高速 FFT 的研究,如文献[1-3]中实现的 FFT 处理器,虽然芯片工作频率均在 100 MHz 以上,但是在内存等资源方面消耗较大,不利于芯片综合利用。

对于设计大数据吞吐量的 FFT 而言,采用流水线和并行技术是最有效的途径。本文通过对常规基 4 算法因子的提取和利用 SDF 流水线结构来构成复合并行处理结构,设计了超高速 4k 点 FFT 处理器。

2 FFT 硬件结构^[4-6]

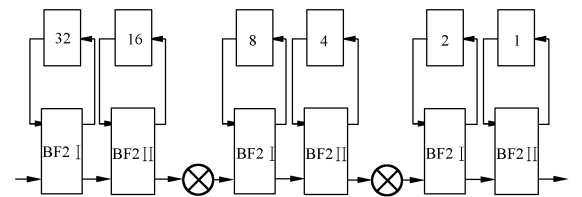
当前 FFT 硬件实现结构主要有 3 类:流水线结构、递归结构以及全并行结构。流水线结构一般在 FFT 实现的每一级均采用一个运算单元,前一级运算结果可以直接用于下一级运算而无需等到本级运算全部完成,因此可以提高运算速度。递归结构也称为内存共享结构,这种结构的主要好处在于所占硬件资源少,但是由于只有一个运算单元,运算的时间较长。全并行结构一般是指

在 FFT 每一级根据 FFT 的点数设置成正比比例的运算单元,这种结构虽然速度最快,但资源消耗过大,一般不予采用。可以看出为了提高 FFT 运行速度,采用的主要结构是流水线结构。流水线结构主要有两类:一类是 MDC(Multi-Delay Commutator)结构,另一类是 SDF(Single-path Delay Feedback)结构,如图 1 所示。MDC 结构通过把输入序列及中间分为多条并行数据流,不同数据流之间通过延迟数据单元保证至蝶形运算单元的数据保持同步。MDC 结构中使用最为广泛的是基 4 的 MDC 结构,即采用 4 条并行数据流,图 1(a)为 64 点的 R4MDC 流水线结构示意图。而 SDF 结构的主要特点是 FFT 输入数据及中间运算结果均采用一路反馈单元进行存储。SDF 结构中使用最为广泛的是 $R2^2$ SDF 结构,其中主要的改进在于把基 4 的蝶形单元分解为 2 个基 2 的蝶形单元,从而结合了基 2 与基 4SDF 结构的优点,图 1(b)为 64 点的 $R2^2$ SDF 流水线结构示意图。



(a) 64 点 R4MDC 示意图

(a) R4MDC 64-point FFT



(b) 64 点 $R2^2$ SDF 示意图

(b) $R2^2$ SDF 64-point FFT

图 1 流水线结构

Fig. 1 Pipeline architecture

表 1 表示了两种结构的资源消耗情况。从表中可以看出, $R2^2$ SDF 消耗的资源远小于 R4MDC 结构。SDF 为串行输入模式,MDC 为并

行输入模式,在同样的时钟速率下,应该说 MDC 具有更快的运行速度,但是 MDC 内存消耗很大,同时实现结构复杂,使得 FPGA 的工作频率难以满足要求。本文设计了一种复合并行处理结构,使用资源消耗比较小的 $R2^2$ SDF 流水线结构,来获得高的数据通量和较快的转换时间。

表 1 资源需求
Tab. 1 Resource requirements

结构	复数乘法器数	复数加法器数	延迟元件个数	内存消耗
R4MDC	$3 \times (\log_4 N - 1)$	$8 \times \log_4 N$	$(6 \times N - 4) / 2$	$5N / 2 - 4$
$R2^2$ SDF	$\log_4 N - 1$	$4 \times \log_4 N$	$N - 1$	$N - 1$

3 基于复合结构的处理器设计

为了克服一般流水线的缺点和常规的并行处理资源消耗大的缺点,下面根据基 4 算法的新因子提取和 SDF 流水线结构,利用 4 条 1k 点的 FFT 构成一种复合结构的 4k 点 FFT。

3.1 算法描述^[7-9]

N 点序列 $x(n)$ 的 DFT 表示为:

$$X[m] = \sum_{n=0}^{N-1} x[n]W_N^{mn} . \tag{1}$$

下面通过 4 个处理单元来产生最后的结果。这样,序列 $x(n)$ 被分解为 4 个序列,模块在一个时钟周期内产生 4 个序列结果,为了充分地利用流水线,必须在每一个时钟周期内输入 4 点数据,式(1)经过变换表示为式(2):

$$\begin{cases} X[4m] = \sum_{n=0}^{N/4-1} (x[n] + x[n + N/4] + x[n + N/2] + x[n + 3N/4])W_{N/4}^{nm} \\ X[4m + 1] = \sum_{n=0}^{N/4-1} (x[n] - jx[n + N/4] + x[n + N/2] + jx[n + 3N/4])W_{N/4}^{nm}W_N^n \\ X[4m + 2] = \sum_{n=0}^{N/4-1} (x[n] - x[n + N/4] + x[n + N/2] - x[n + 3N/4])W_{N/4}^{nm}W_N^{2n} \\ X[4m + 3] = \sum_{n=0}^{N/4-1} (x[n] + jx[n + N/4] - x[n + N/2] - jx[n + 3N/4])W_{N/4}^{nm}W_N^{3n} \end{cases} , \tag{2}$$

通过式(2)得到:

$$\begin{cases} X[4m] = \sum_{n=0}^{N/4-1} a_0[n]W_{N/4}^{nm}, X[4m + 1] = \sum_{n=0}^{N/4-1} a_1[n]W_{N/4}^{nm} \\ X[4m + 2] = \sum_{n=0}^{N/4-1} a_2[n]W_{N/4}^{nm}, X[4m + 3] = \sum_{n=0}^{N/4-1} a_3[n]W_{N/4}^{nm} \end{cases} , \tag{3}$$

在式(3)中:

$$\begin{aligned} a_0[n] &= (x[n] + x[n + N/4] + x[n + N/2] + x[n + 3N/4]) , \\ a_1[n] &= (x[n] - jx[n + N/4] + x[n + N/2] + jx[n + 3N/4])W_N^n , \\ a_2[n] &= (x[n] - x[n + N/4] + x[n + N/2] - x[n + 3N/4])W_N^{2n} , \\ a_3[n] &= (x[n] + jx[n + N/4] - x[n + N/2] - jx[n + 3N/4])W_N^{3n} . \end{aligned}$$

观察上式,4 个结果是 $N/4$ 点的 DFT,有相同的相位因子 $W_{N/4}^{nm}$,每个 DFT 能够用独立的 $N/4$ 点 FFT 模块计算。与以前的基 4 算法不同是在结构实现时首先计算输入序列 $\{ a_0(n), a_1(n), a_2(n), a_3(n) \}$,它通过一个基 4 蝶形单元

的输出和相位因子相乘算出,然后通过 4 个独立的 $N/4$ 点 FFT 变换模块最后计算出 N 点的 FFT 结果。

3.2 实现结构

基于以上的分析,本文设计了 4k 点的 FFT

处理器结构,由 3 个模块组成,如图 2 所示。在系统中一个基 4 蝶形结构产生中间结果作为 4 条流水线 FFT 的输入,包含了 4 个使用 $R2^2$ SDF 流水线结构 1k 点 FFT 单元模块,流水线共享相位旋转因子,这些因子存于 ROM 中。1 024 点的 FFT 处理单元由图 1(b)所示的流水线多级级联而成, $R2^2$ SDF 结构能够高效地利用芯片的乘法器和存储器,同时有非常简单的控制结构,这里不再详述。

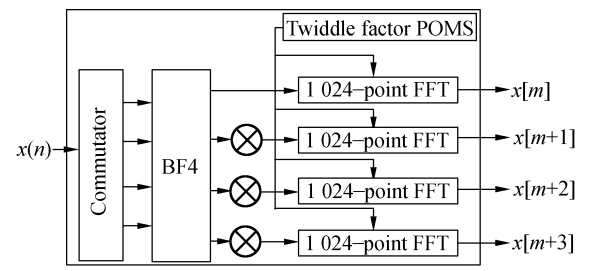


图 2 4k 点 FFT 处理器结构

Fig. 2 Architecture of 4k-point FFT processor

系统结构中,单元处理之前需要一个延迟转接单元,以保证输入序列以合适的顺序进入处理单元,如图 3 所示。延迟转接单元与 R4SDC 结构十分类似,其区别在于 R4SDC 结构仅提供一路数据通道给蝶形单元,而本文所设计的这种结构需要提供与后端处理单元相等的数据通道,这样,延迟转接单元就运行在更高的时钟频率上。这种设计方法克服了单独的 $R2^2$ SDF 结构串行输入数据率较低的缺点,取得了和 R4SDC 并行输入结构相同的数据率,但是控制结构相对要简化很多。

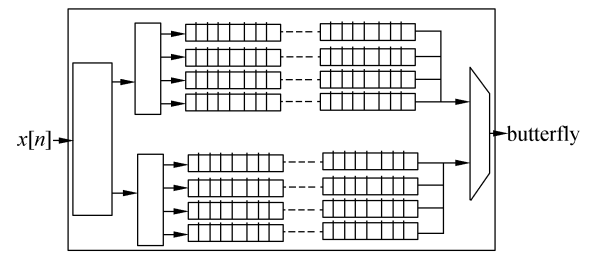


图 3 N 点延迟转接器

Fig. 3 Delay commutator for N-point

延迟转接单元以后,通过一个基 4 蝶形单元和相位因子 $[1, W_N^n, W_N^{2n}, W_N^{3n}]$ 相乘计算出序列

$\{a_0(n), a_1(n), a_2(n), a_3(n)\}$, 并行处理 4 个输入而产生 4 点 FFT 输出,其结构如图 4 所示。

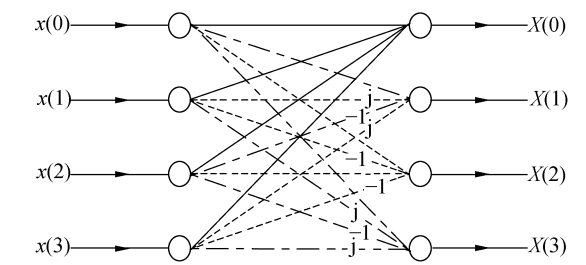


图 4 基-4 蝶形单元

Fig. 4 Radix-4 butterfly element

4 FPGA 设计与测试

4.1 FPGA 设计实现^[10-12]

下面我们详细说明 FFT 处理器的 FPGA 设计。

FPGA 内存主要有分布式 RAM 和 block RAM 两种,其中块内存为 18 kb 的整块内存,两种内存的使用需要权衡块内存与逻辑资源的消耗总量。本文中模块 $R2^2$ SDF 1k 点 FFT 第一级的反馈长度为 512,以后逐级减半,每一级的数据字宽选为 2×16 bit,所以本文中全部采用 block RAM。相位因子分为两部分,一部分是 1k 点的内部旋转因子,另一部分为产生序列 $\{a_0(n), a_1(n), a_2(n), a_3(n)\}$ 的相位因子,前者采用 Xilinx 的正余弦 IP 核完成,两部分全部存储于 ROM 中,其中数据宽度为 16 bit。

同时在设计中,为了加快执行速度,在每一个乘法器和每一级蝶形单元之间加入流水线寄存器。 $R2^2$ 算法的空间规则性好,处理器的同步控制相对简单,一个简单的 $\log_2 N$ 位的二进制计数器就实现以下的两个目的:一是处理整个处理器单元的同步控制器,完成流水线计算流程控制;二是读取在每一级中的旋转因子地址计数。

另一个需要考虑的是算法的内部数据表示,数据形式决定运算单元的负责性、存储的字宽和结果的精度,一般有定点、浮点和块浮点 3 种结构。采用定点表示时,为了达到需要的精度就需要很长的数据位,而纯粹的浮点表示会导致复杂的电路结构。通过对传统的块浮点方法的改进,克服了在流水线运算时需要额外的大存储器的需

求。改进的方法对数据流通过 FFT 流水线的观测,数据的依赖性被连续的分隔成越来越小的独立的小块,这就意味着设计者在归一化之前不需要等待整个数据块完成。到流水线结束时,各个子块结果被汇聚成一个有效表示浮点数据的单元。这样不仅节省了对存储器的需求,还由于子块数据越来越小,提高了数据处理的精度。

4.2 结果比较

本文设计中,FPGA 采用 Xilinx 的 Virtex XC2V3000-6 芯片,该器件的内部含有 12 个数字时钟管理器(DCM),448 kb 的分布 RAM,96 个 18 kb 的 block RAM,96 个 18×18 的专用乘法器(Dedicated Multipliers)单元,其中乘法器的工作频率可以达到 420 MHz 以上,I/O 数据率可达 840 Mbs,133/66 MHz PCI-X 兼容接口。整个处理器的实现采用 VHDL 语言进行编程,综合布线工具均采用 Xilinx 的设计平台 ISE6.2,表 2 中给出了软件测试结果数据。最后采用图 5 所示的测试环境对处理器进行了性能测试,其工作频率为 155 MHz,数据率可以达到 620 Msps。

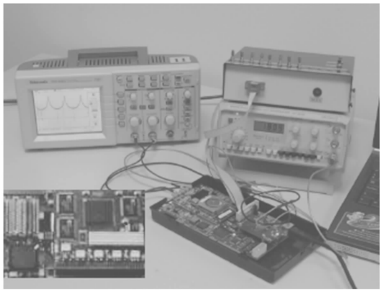


图 5 实验测试平台
Fig.5 Hardware test platform

表 2 Virtex XC2V3000-6 实现 FFT 结果

Tab.2 Results of FFT on the Virtex XC2V3000-6

FPGA 资源	处理器消耗	总数	利用率(%)
Block RAMs	61	96	63.5
Block MULTs	56	96	58.3
Slices	4 582	14 336	31.96

参考文献:

[1] ZHONG K, HE H, ZHU G. An ultra high-speed FFT processor [C]. *International Symposium on Signals, Circuits and Systems, Bnagkok*, 2003:

根据表 2 仿真数据以及实际电路平台测试,与参考文献[1]中设计的典型 FFT 处理器在消耗资源和性能比较:block RAMs 内存资源比后者少 50%,乘法器消耗减少了 47%,Slices 资源减少了 38%,操作频率达到了 158 MHz,提高了 38.7%,从而能够有更大的数据处理通量,而转换时间两者基本相等。与 Xilinx 公司的 4k 点 FFT IP 核比较,消耗 block RAMs 内存资源、LUTs 和 FFTs 组成的 Slices 块都有一定程度的减少,而 IP 核中大量的使用了 XtremeDSP Slices 块,本文中的设计对乘法器做了很多的优化以减少资源消耗。根据以上的数据比较说明:该 FFT 处理器的设计思想和实现方法在一定程度上实现了面积和速度的平衡优化。如果板上硬件系统采用更高性能的 FPGA 器件,性能还会有一定程度的提高。

5 结 论

本文通过采用复合并行流水线结构,设计并实现了一个基于 FPGA 的复合结构的超高速流水 FFT 处理器,FPGA 内部资源消耗明显减少,同时保持了比较高的工作频率。仿真结果和实验室的硬件平台实际测试显示,处理器工作频率超过了 150 MHz,数据率超过 600 Msps,满足信号处理系统后端实时处理的要求。同时该处理器能很容易地扩展成为更长点数的 FFT 处理器,还能够利用多个该处理器组合成集群计算,具有很好的灵活性和扩展性。该处理器可适用于超高速 A/D 的应用场合,以及需要密集型数字信号处理的领域,比如无线通讯、遥测遥控、射电天文探测等。

37-40.
[2] BENZL A O, GRISIAL P C. A broadband FFT spectrometer for radio and millimeter astronomy [J]. *Astronomy & Astrophysics*, 2005, 442 (2): 767-773.
[3] BASS B M. *An approach to low power, high per-*

- formance, fast Fourier transform processor design [D]. Stanford University, 1999.
- [4] HE S, TORKELSON M. Design and implementation of a 1024-point pipeline FFT processor [C]. *Processing IEEE Custom Integrated Circuits Conference*, 1998:131-134.
- [5] PENG Y. A parallel architecture for VLSI implementation of FFT processor [C]. *Proceedings of ASIC*, 2003(2):748-751.
- [6] SIWORKS. *Product Brief: Parallel N-Point FFT/IFFT Core* [R]. SiWorks, Inc., 2003.
- [7] OPPENHEIM A V, SCHAFER R W, BUCK J R. *Discrete-Time Signal Processing* [M]. 2nd ed. Pearson Education, 1999.
- [8] 罗跃东, 陈禾, 王晓君. 一种雷达信号侦查处理器的设计与实现 [J]. 北京理工大学学报(自然科学版), 2008, 28(4):352-355.
LUO Y D, CHEN H, WANG X J. Design and implementation of a processor for radar signal reconnaissance [J]. *Journal of Beijing Institute of Technology (Natural Science Edition)*, 2008, 28(4):352-355. (in Chinese)
- [9] 乔树山, 黑勇, 吴斌, 等. 块浮点 FFT 处理器的有效字长效应分析 [J]. 电子科技大学学报, 2008, 37(1):58-60.
- QIAO SH SH, HEI Y, WU B, *et al.*. Finite word-length in implementation of a block floating-point FFT processor [J]. *Journal of University of Electronic Science and Technology of China*, 2008, 37(1):58-60. (in Chinese)
- [10] 王易因, Rene van Leuken, Alle-Jan van der Veen, 等. 基于 FPGA 的跳时延发射参考系统的基带数字信号处理 [J]. 光学 精密工程, 2006, 14(5):876-882.
WANG Y Y, LEUKEN R, VEEN A J, *et al.*. DSP implementation for delay hopped transmitted reference system based on FPGA [J]. *Opt. Precision Eng.*, 2006, 14(5):876-882. (in Chinese)
- [11] 宋亚军, 许廷发, 倪国强, 等. 基于 Virtex-4 FPGA 的低功耗图像融合系统 [J]. 光学 精密工程, 2007, 15(6):935-940.
SONG Y J, XU T F, NI G Q, *et al.*. Low power image fusion system based on Virtex-4 FPGA [J]. *Opt. Precision Eng.*, 2007, 15(6):935-940. (in Chinese)
- [12] Xilinx. *Virtex-II Platform FPGA Handbook* [M]. Xilinx, San Jose, CA, 2004.

作者简介:



范 进(1981—),男,湖北利川人,2004年在北京航空航天大学获得学士学位,现为中国科学院国家天文台博士研究生,主要从事信号处理、数字系统设计等方面的研究。E-mail: fanjin@sst.bao.ac.cn

金声震(1944—),男,安徽休宁人,博士,研究员,博士生导师,主要从事空间天文技术、射电天文技术以及航天电子学等方面的研究。E-mail: jsz@nao.ac.cn

孙才红(1966—),男,江苏兴化人,博士,研究员,硕士生导师,主要从事天文仪器、射电天文技术等方面的研究。E-mail: sch@nao.ac.cn